

09/856627

PCT/JP00/06824

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

29.09.00

JP00/6824

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年10月 1日

出願番号

Application Number:

平成11年特許願第281424号

出願人

Applicant(s):

セイコーエプソン株式会社

REC'D 17 NOV 2000

WIPO

PCT

PRIORITY

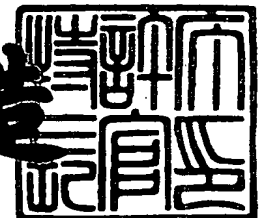
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3089942

【書類名】 特許願

【整理番号】 EP202801

【提出日】 平成11年10月 1日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/48

【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 橋元 伸晃

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大瀨 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線基板、半導体装置並びにその製造、検査及び実装方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 配線パターンが形成され、第 1 の部分と、前記第 1 の部分に平面的に重なる第 2 の部分と、を有し、

前記第 1 の部分は、位置決めの基準となる複数の端部を有し、

前記第 2 の部分は、前記第 1 の部分の前記端部を避け、前記第 1 の部分と平面的に重なる形状をなしている配線基板。

【請求項 2】 請求項 1 記載の配線基板において、

前記複数の端部は、直交方向に延びる 2 つの辺を形成してなる配線基板。

【請求項 3】 請求項 2 記載の配線基板において、

前記第 1 の部分は、矩形をなす本体部分と、前記本体部分の辺から直角方向に前記辺の長さよりも短い幅で延設された凸部と、を有し、

前記直交方向に延びる 2 つの辺は、前記凸部のうち前記本体部分の前記辺から直角方向に延びてなる辺と、前記凸部の先端の辺と、からなる配線基板。

【請求項 4】 請求項 2 又は請求項 3 記載の配線基板において、

前記第 2 の部分は、前記第 1 の部分の前記本体部分の、前記凸部を避けた端部の隣に配置されてなる配線基板。

【請求項 5】 請求項 2 又は請求項 3 記載の配線基板において、

前記第 2 の部分は、前記凸部を避ける形状の凹状端部を有し、前記凹状端部が前記第 1 の部分の前記凸部に対向して配置されてなる配線基板。

【請求項 6】 請求項 2 記載の配線基板において、

前記第 1 の部分は、前記第 2 の部分よりも大きい形状をなし、前記直交方向に延びる 2 つの辺が前記第 1 の部分の角部を形成してなる配線基板。

【請求項 7】 請求項 2 記載の配線基板において、

前記第 1 の部分は、挟まれた角度において直角をなし、かつ、前記直交方向に延びる 2 つの辺を形成する凹部が形成されてなる配線基板。

【請求項 8】 請求項 1 記載の配線基板において、
前記複数の端部は、複数の穴を形成してなる配線基板。

【請求項 9】 請求項 1 から請求項 8 のいずれかに記載の配線基板において

前記第 1 の部分に連続的に前記第 2 の部分が延設されてなる配線基板。

【請求項 10】 請求項 1 から請求項 8 のいずれかに記載の配線基板において、

前記第 1 の部分から切り離されて前記第 2 の部分が形成されており、前記第 1
及び第 2 の部分は、前記配線パターンによって接続されてなる配線基板。

【請求項 11】 少なくとも 1 つの半導体チップと、

前記半導体チップが搭載され、第 1 の部分と、前記第 1 の部分に平面的に重なるように配置されてなる第 2 の部分と、を有する基板と、
を含み、

前記第 1 の部分は、位置決め基準となる複数の端部を有し、

前記第 2 の部分は、前記第 1 の部分の前記端部を避ける形状をなす半導体装置

【請求項 12】 請求項 11 記載の半導体装置において、

前記第 1 の部分には、複数の外部端子が設けられてなる半導体装置。

【請求項 13】 請求項 11 又は請求項 12 記載の半導体装置において、

前記基板として、請求項 1 から請求項 10 のいずれかに記載の配線基板が用いられてなる半導体装置。

【請求項 14】 請求項 11 から請求項 13 のいずれかに記載の半導体装置が搭載された回路基板。

【請求項 15】 請求項 11 から請求項 13 のいずれかに記載の半導体装置を備える電子機器。

【請求項 16】 請求項 1 から請求項 10 のいずれかに記載の配線基板に、
少なくとも 1 つの半導体チップを搭載し、前記配線基板の前記第 1 の部分に前記第 2 の部分を積み重ねる工程を含む半導体装置の製造方法。

【請求項 17】 請求項 11 から請求項 13 のいずれかに記載の半導体装置

を、前記位置決め基準となる複数の端部を使用して位置合わせする工程と、
前記半導体装置の電気的特性を検査する工程と、
を含む半導体装置の検査方法。

【請求項 1 8】 請求項 1 1 から請求項 1 3 のいずれかに記載の半導体装置を、前記位置決め基準となる複数の端部を使用して位置合わせする工程と、
前記半導体装置を回路基板に実装する工程と、
を含む半導体装置の実装方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、配線基板、半導体装置並びにその製造、検査及び実装方法、回路基板並びに電子機器に関する。

【0 0 0 2】

【発明の背景】

1 枚の基板の半導体チップが搭載された第 1 の部分を折り曲げて、外部端子が設けられた第 2 の部分に接着したり、半導体チップが搭載された第 1 の基板を、外部端子が設けられた第 2 の基板に接合する構造のパッケージが開発されている。これらのパッケージによれば、平面形状を小さくしつつ、基板の面積を大きくできるので配線パターンの設計の自由度が増すという利点があり、複数の半導体チップを積層したスタック構造を簡単に構成することができる。

【0 0 0 3】

ただし、基板を正確に折り曲げて正確な位置に重ねることは難しい。あるいは、複数の基板を正確な位置に接合することは難しい。そのため、基板のうち、外部端子が形成された部分よりも、その上に重ねられる部分がはみ出すことで、パッケージの外形が製品によって異なる場合があった。その場合、パッケージの外形と外部端子との相対的位置が製品によって異なるので、外形を基準として外部端子の位置合わせを行えなかった。

【0 0 0 4】

本発明は、この問題点を解決するものであり、その目的は、位置合わせを簡単

に行える配線基板、半導体装置並びにその製造、検査及び実装方法、回路基板並びに電子機器を提供することにある。

【 0 0 0 5 】

【課題を解決するための手段】

(1) 本発明に係る配線基板は、配線パターンが形成され、第 1 の部分と、前記第 1 の部分に平面的に重なる第 2 の部分と、を有し、

前記第 1 の部分は、位置決めの基準となる複数の端部を有し、

前記第 2 の部分は、前記第 1 の部分の前記端部を避け、前記第 1 の部分と平面的に重なる形状をなしている。

【 0 0 0 6 】

なお、平面的に重なるとは、必ずしも接触して積み重なった状態に限定されない。本発明によれば、第 2 の部分が、位置決めの基準となる端部を避けて第 1 の部分と平面的に重なる形状をなしている。したがって、第 2 の部分と第 1 の部分とが平面的に重なっても、第 1 の部分における位置決めの基準となる端部を利用して、位置決めを行うことができる。

【 0 0 0 7 】

(2) この配線基板において、

前記複数の端部は、直交方向に延びる 2 つの辺を形成していてもよい。

【 0 0 0 8 】

これによれば、2 つの辺によって平面上の位置が決められる。

【 0 0 0 9 】

(3) この配線基板において、

前記第 1 の部分は、矩形をなす本体部分と、前記本体部分の辺から直角方向に前記辺の長さよりも短い幅で延設された凸部と、を有し、

前記直交方向に延びる 2 つの辺は、前記凸部のうち前記本体部分の前記辺から直角方向に延びてなる辺と、前記凸部の先端の辺と、から構成されていてもよい。

【 0 0 1 0 】

これによれば、凸部を使用して、詳しくは凸部の 2 つの辺を使用して、平面上

の位置が決められる。

【 0 0 1 1 】

(4) この配線基板において、

前記第 2 の部分は、前記第 1 の部分の前記本体部分の、前記凸部を避けた端部の隣に配置されていてもよい。

【 0 0 1 2 】

(5) この配線基板において、

前記第 2 の部分は、前記凸部を避ける形状の凹状端部を有し、前記凹状端部が前記第 1 の部分の前記凸部に対向して配置されていてもよい。

【 0 0 1 3 】

(6) この配線基板において、

前記第 1 の部分は、前記第 2 の部分よりも大きい形状をなし、前記直交方向に延びる 2 つの辺が前記第 1 の部分の角部を形成していてもよい。

【 0 0 1 4 】

(7) この配線基板において、

前記第 1 の部分は、挟まれた角度において直角をなし、かつ、前記直交方向に延びる 2 つの辺を形成する凹部が形成されていてもよい。

【 0 0 1 5 】

(8) この配線基板において、

前記複数の端部は、複数の穴を形成していてもよい。

【 0 0 1 6 】

(9) この配線基板において、

前記第 1 の部分に連続的に前記第 2 の部分が延設されていてもよい。

【 0 0 1 7 】

(10) この配線基板において、

前記第 1 の部分から切り離されて前記第 2 の部分が形成されており、前記第 1 及び第 2 の部分は、前記配線パターンによって接続されていてもよい。

【 0 0 1 8 】

これによれば、第 1 及び第 2 の部分が切り離されているので、両者の間で基板

を容易に屈曲させたり、折り曲げたりすることができる。

【 0 0 1 9 】

(1 1) 本発明に係る半導体装置は、少なくとも 1 つの半導体チップと、
前記半導体チップが搭載され、第 1 の部分と、前記第 1 の部分に平面的に重なるように配置されてなる第 2 の部分と、を有する基板と、
を含み、

前記第 1 の部分は、位置決めの基準となる複数の端部を有し、

前記第 2 の部分は、前記第 1 の部分の前記端部を避ける形状をなす。

【 0 0 2 0 】

なお、平面的に重なるとは、必ずしも接触して積み重なった状態に限定されない。本発明によれば、第 2 の部分が、位置決めの基準となる端部を避ける形状をなしている。したがって、第 2 の部分と第 1 の部分とが平面的に重なっても、第 1 の部分における位置決めの基準となる端部を利用して、位置決めを行うことができる。

【 0 0 2 1 】

(1 2) この半導体装置において、

前記第 1 の部分には、複数の外部端子が設けられていてもよい。

【 0 0 2 2 】

これによれば、第 1 の部分における位置決めの基準となる端部と、外部端子との相対的位置が固定されているので、位置決めの基準となる端部を利用して、外部端子の位置決めを簡単に行うことができる。そして、半導体装置の電気的な特性を検査するときに、半導体装置をソケットに投げ込むだけでよい。また、回路基板に半導体装置を実装するときに、外部端子の位置ずれによる不良の発生率を低減させることができる。

【 0 0 2 3 】

(1 3) この半導体装置において、

前記基板として、請求項 1 から請求項 1 0 のいずれかに記載の配線基板が用いられてもよい。

【 0 0 2 4 】

(14) 本発明に係る回路基板には、上記半導体装置が搭載されている。

【0025】

(15) 本発明に係る電子機器は、上記半導体装置を備える。

【0026】

(16) 本発明に係る半導体装置の製造方法は、上記配線基板に、少なくとも一つの半導体チップを搭載し、前記配線基板の前記第1の部分に前記第2の部分
を積み重ねる工程を含む。

【0027】

なお、積み重ねるとは、平面的に重複した状態を指し、必ずしも接触して積み重なった状態に限定されない。本発明によれば、第2の部分が、位置決めの基準となる端部を避けて第1の部分と積み重ねられる形状をなしている。こうして得られた半導体装置によれば、第2の部分を第1の部分に積み重ねても、第1の部分における位置決めの基準となる端部を利用して、位置決めを行うことができる。

【0028】

(17) 本発明に係る半導体装置の検査方法は、上記半導体装置を、前記位置決めの基準となる複数の端部を使用して位置合わせする工程と、
前記半導体装置の電気的特性を検査する工程と、
を含む。

【0029】

本発明によれば、第1の部分における位置決めの基準となる端部を利用して位置決めを行い、検査を行うことができる。

【0030】

(18) 本発明に係る半導体装置の実装方法は、上記半導体装置を、前記位置決めの基準となる複数の端部を使用して位置合わせする工程と、
前記半導体装置を回路基板に実装する工程と、
を含む。

【0031】

本発明によれば、第1の部分における位置決めの基準となる端部を利用して、

実装のための位置決めを簡単に行うことができる。

【 0 0 3 2 】

【 発 明 の 実 施 の 形 態 】

以下、本発明の実施の形態を、図面を参照して説明する。

【 0 0 3 3 】

(第 1 の 実 施 の 形 態)

図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図であり、図 2 は、本実施の形態に係る半導体装置及びその検査又は実装方法を説明する図であり、図 3 は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【 0 0 3 4 】

(基 板 に つ い て)

本実施の形態に係る半導体装置には、図 1 に示す基板 1 0 が使用される。基板 1 0 は、少なくとも 1 つの (図 1 では複数の) 半導体チップ 4 0、4 2 を搭載するためのインターポーザとして使用される。基板 1 0 の材料として、有機系又は無機系のいずれの材料であってもよく、これらの複合構造からなるものであってもよい。有機系の材料から形成された基板 1 0 として、例えばポリイミド樹脂からなる 2 層や 3 層などのフレキシブル基板が挙げられる。基板 1 0 は、屈曲させるときには、柔軟性のあるフレキシブル基板を使用することが好ましい。フレキシブル基板として、F P C (Flexible Printed Circuit) と呼ばれる基板やガラスエポキシテープと呼ばれる基板や、T A B (Tape Automated Bonding) 技術で使用するテープ基板を使用してもよい。また、無機系の材料から形成された基板 1 0 として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。これらの基板は、多層基板やビルドアップ基板であってもよい。

【 0 0 3 5 】

基板 1 0 の一方の面には、配線パターン 1 2 が形成されている。配線パターン 1 2 は、銅などの導電材料で形成することができる。配線パターン 1 2 は、ハンダ、スズ、金、ニッケルやこれらの複合材料などでメッキされていることが好ま

しい。配線パターン 12 が形成された状態で、基板 10 を配線基板と称することができる。

【0036】

配線パターン 12 が接着剤（図示せず）を介して基板 10 に貼り付けられて、3 層基板を構成してもよい。あるいは、配線パターン 12 を、接着剤なしで基板 10 に形成して 2 層基板を構成してもよい。配線パターン 12 は、ランド部等の電気的な接続部分を除いて、図示しないレジスト等の保護膜にて覆われていることが好ましい。

【0037】

基板 10 は、第 1 の部分 14 と、第 2 の部分 16 と、を含む。第 2 の部分 16 は、図 2 に示すように、第 1 の部分 14 に積み重ねられる。詳しくは、第 1 及び第 2 の部分 14、16 の間の領域を屈曲又は折り曲げて、第 1 及び第 2 の部分 14、16 が積み重ねられる。あるいは、第 1 及び第 2 の部分 14、16 が、切り離されており配線パターン 12 によって両者が接続されていても良い。その例については次の実施の形態で説明する。なお、第 1 及び第 2 の部分 14、16 は、平面的に重複しているが、両者が接触せずに非接触の状態であってもよい。

【0038】

第 1 の部分 14 は、少なくとも 1 つの（図 1 において複数の）凸部 18 を有する。凸部 18 は、矩形をなす本体部分の、1 つの辺（仮想上の辺であって実在しない）から直角方向に、かつ、その辺の長さよりも短い幅で延設されてなる。例えば、図 1 において、第 1 の部分 14 のうち、第 2 の部分 16 から同じ幅で形成された領域を本体部分とすると、本体部分は矩形をなしており、平行な 2 辺（図 1 において上下の 2 辺）のそれぞれから凸部 18 が形成されている。あるいは、上述した 2 つの凸部 18 と、その間を凸部 18 と同じ幅でつなぐ領域と、を合わせた領域を本体部分として、この本体部分に、第 2 の部分 16 とは反対方向に、凸部 20 が形成されているということもできる。

【0039】

凸部 18 は、先端の辺 22 と、先端の辺 22 に直角な辺 24（本体部分の辺から直交方向に延びる辺）と、を含む。これらの辺 22、24 は、直交方向に延び

る。同様に、凸部 2 0 は、先端の辺 2 6 と、先端の辺 2 6 に直角な辺 2 8（本体部分の辺から直交方向に延びる辺）と、を含む。これらの辺 2 6、2 8 は、直交方向に延びる。また、凸部 1 8 の辺 2 2 と、凸部 2 0 の辺 2 6 とは、直交方向に延びる。

【0 0 4 1】

凸部 1 8 の辺 2 2 と、凸部 2 0 の辺 2 8 とは、挟まれた角度において直角をなして、凹部 3 0 を形成している。

【0 0 4 1】

凸部 1 8 の辺 2 2、2 4 を形成する複数の端部、凸部 2 0 の辺 2 6、2 8 を形成する複数の端部、凸部 1 8、2 0 の辺 2 4、2 8 を形成する複数の端部、あるいは凸部 1 8、2 0 の辺 2 2、2 6 を形成する複数の端部は、位置決めの基準となる。詳しくは、直交方向に延びる 2 つの辺 2 2、2 4、直交方向に延びる 2 つの辺 2 6、2 8、直交方向に延びる 2 つの辺 2 4、2 8、直交方向に延びる 2 つの辺 2 2、2 6 のうち、少なくともいずれか 1 つ又は複数の位置決めの基準となる。

【0 0 4 2】

これらの位置決めの基準は、外部端子との間の位置が出ている（決まっている）ので、後述する半導体装置の検査、半導体装置の実装の際に、位置決めの基準を含む基板の外形から、簡単に外部端子の正確な位置を決定することができる。

【0 0 4 3】

第 1 の部分 1 4 には、複数の外部端子 4 4 が設けられている。また、第 1 の部分 1 4 には、少なくとも 1 つの半導体チップ 4 2 を搭載してもよい。半導体チップ 4 2 の実装形態は、半導体装置の説明で後述する。

【0 0 4 4】

第 2 の部分 1 6 は、第 1 の部分 1 4 のうち、位置決めの基準となる端部（上述した）を避けて、第 1 の部分 1 4 に積み重ねられる形状をしている。図 1 に示す例では、第 2 の部分 1 6 は、第 1 の部分 1 4 のうち、凸部 1 8、2 0 を除いた領域とほぼ等しい形状となっている。第 2 の部分 1 6 を、このような形状にすることで、図 2 に示すように第 1 及び第 2 の部分 1 4、1 6 が積み重なったときに、

第1の部分14の、位置決めの基準となる端部から、第2の部分16がはみ出さないようになっている。

【0045】

また、第2の部分16は、第1の部分14の凸部18を説明するときに定義した本体部分の、凸部18を避けた端部の隣に配置されている。図1に示す例では、第1の部分14と連続して一体的に第2の部分16が形成されている。なお、第1及び第2の部分14、16の間に、図示しないスリットを形成してもよい。スリットを形成することで、第1及び第2の部分14、16の間で、基板10を屈曲しやすく又は折り曲げやすくなる。

【0046】

第2の部分16には、少なくとも1つ（又は複数）の半導体チップ40が搭載される。半導体チップ40の実装形態は、半導体装置の説明で後述する。

【0047】

（半導体装置の製造方法について）

本実施の形態に係る半導体装置の製造方法では、上述した基板10に少なくとも1つ又は複数の半導体チップ40、42を搭載する。例えば、基板10の第1の部分14に半導体チップ42を実装し、第2の部分16に半導体チップ40を実装する。この工程は、基板10を、平面的状態すなわち屈曲させない状態で行う。

【0048】

そして、第2の部分16を、第1の部分14に積み重ねる。例えば、第1及び第2の部分14、16の間の領域を屈曲させ又は折り曲げて、第1の部分14上に第2の部分16を積み重ねる。

【0049】

また、複数の外部端子44（図3参照）を設ける工程を含んでもよい。例えば、基板10に形成された貫通穴11を介して、配線パターン12が形成された面とは反対側に突出する外部端子44を設ける。外部端子44は、ハンダ等で形成することができる。貫通穴11にハンダを設け、これを溶融させて表面張力でボールを形成してもよいし、貫通穴11に導電材料を設け、これにハンダボールを

載せてもよい。貫通穴 11 の内面をメッキしてスルーホールを形成してもよい。

【0050】

この場合、貫通穴 11 の形成位置は外部端子が設けられる位置となるので、例えば基板製造時に、前述した基板の位置決め基準と貫通穴 11 とを、同一工程の金型で抜き加工すると、正確に相互の位置を出すことができる。同一工程で形成できない場合は、貫通穴 11 と同時に位置基準穴を形成しておき、後加工で、基板の位置決め基準を、その位置基準穴に基づいて形成してもよい。

【0051】

(半導体装置について)

図 3 は、本実施の形態に係る半導体装置を示す図である。半導体装置は、基板 10 と、少なくとも 1 つ又は複数の半導体チップ 40、42 と、を含む。基板 10 は、上述した通りのものである。

【0052】

基板 10 には、複数の貫通穴 11 が形成されている。貫通穴 11 は、配線パターン 12 に複数の外部端子 44 を電氣的に接続するためのものである。基板 10 における配線パターン 12 が形成された面とは反対側の面に突出する外部端子 44 を、貫通穴 11 を介して配線パターン 12 に電氣的に接続することができる。例えば、配線パターン 12 が貫通穴 11 上を通るようになっていれば、貫通穴 11 を介して、配線パターン 12 上に外部端子 44 を設けることができる。

【0053】

外部端子 44 は、ハンダ等で形成される。貫通穴 11 に充填されたハンダを溶融させて表面張力でボールを形成してもよいし、貫通穴 11 に設けられた導電材料にハンダボールを載せてもよい。貫通穴 11 の内面をメッキしてスルーホールを形成してもよい。

【0054】

また、貫通穴 11 上に形成された配線パターン 12 を、貫通穴 11 中に屈曲させて外部端子として使用してもよい。例えば、配線パターン 12 の一部を、金型などを使って貫通穴 11 の内部に入り込ませ、基板 10 における配線パターン 12 が形成された面とは反対側の面から突出させ、その突出した部分を外部端子と

してもよい。あるいは、積極的に外部端子を形成せずマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。この半導体装置は、回路基板に実装される面に、外部端子を形成するためのランド部が形成された、いわゆるランドグリッドアレイ型の半導体装置である。

【 0 0 5 5 】

図 3 に示すように、基板 1 0 は屈曲しており、半導体チップ 4 0、4 2 は、積み重なった状態になっている。こうすることで、半導体装置を小型化することができる。半導体チップ 4 0、4 2 は、接着剤 4 6 等で接合されているか、機械的な方法で固定されていることが好ましい。

【 0 0 5 6 】

本実施の形態では、半導体チップ 4 0、4 2 は、異方性導電膜 3 2 を使用して配線パターン 1 2 に接合されている。半導体チップ 4 0 の実装形態は特に限定されないが、フェースダウンボンディングが適用される場合には、半導体チップ 4 0 は、配線パターン 1 2 上に搭載される。そして、半導体チップ 4 0 の電極（好ましくはバンプ）が配線パターン 1 2 に接合される。接合の手段としては、異方性導電膜 3 2 の他に、異方性導電接着剤、導電樹脂ペースト（銀ペーストを含有する樹脂など）を使用してもよい。あるいは、Au-Au、Au-Sn、ハンダなどによる金属接合や、絶縁樹脂の収縮力によって、電極（好ましくはバンプ）と配線パターン 1 2 とを接合してもよい。あるいは、ワイヤーボンディングを用いたフェースアップ型の実装でも良いし、フィンガーを接続するような TAB 実装方式を適用してもよい。

【 0 0 5 7 】

配線パターン 1 2 のうち、第 1 の部分 1 4 に形成されるパターンと、第 2 の部分 1 6 に形成されるパターンとが、部分的にミラー対称の形状になっていてもよく、あるいは、部分的に同一形状であってもよい。この様にすることによって、基板 1 0 に配線パターン 1 2 を形成するときに用いる設計データ、マスクを共用でき、配線基板の製造初期費用を抑えることができる。

【 0 0 5 8 】

本実施の形態では、基板 10 が屈曲している。基板 10 における半導体チップ 40、42 が搭載される面を内側にして、基板 10 が屈曲している。基板 10 は、2 つの半導体チップ 40、42 の間で屈曲している。また、図 2 に示すように、基板 10 における第 1 の部分 14 の凸部 18、20 から、第 2 の部分 16 がはみ出さないようになっている。したがって、凸部 18、20 の辺 22、24、26、28 のうち、最低直交する 2 つの辺を利用して、半導体装置の位置合わせを簡単に行うことができる。

【0059】

配線パターン 12 が、第 1 及び第 2 の部分 14、16 上において、部分的にミラー対称の形状であるときに、半導体チップ 40、42 も、ミラー対称の回路構造を有していてもよい。あるいは、配線パターン 12 が、第 1 及び第 2 の部分 14、16 上において、部分的に同一形状を含むときに、半導体チップ 40、42 は、同一の回路構造を有していてもよい。

【0060】

半導体チップ 40、42 がミラー対称の回路構造又は同一の回路構造を有するときには、それぞれの素子に対して、同一の外部端子 44 から電気的な接続を図ることができる。半導体チップ 40、42 がメモリである場合、同一の外部端子 44 で、アドレス端子やデータ端子を共有化することが容易になる。

【0061】

例えば、半導体チップ 40、42 がメモリであるときに、同一の外部端子 44 から、それぞれのメモリの同じアドレスのメモリセルに、情報の読み出し又は書き込みを行うことができる。半導体チップ 40、42 を、チップセレクト端子の接続においてのみ分離しておくことで、同一外部端子配列を用いて、複数（例えば 2 つ）の半導体チップを別々にコントロールすることができる。

【0062】

本実施の形態によれば、安価な片面基板を使用して、スタック構造の半導体装置を製造することができるので、コストを下げることができる。本実施の形態で説明した内容は、可能な限り以下の実施の形態でも適用することができる。

【0063】

本実施の形態では、外部端子を有する半導体装置について述べてきたが、基板の一部を延出し、そこから外部接続を図るようにしても良い。基板の一部をコネクタのリードとしたり、コネクタを基板上に実装したり、基板の配線パターンそのものを他の電子機器に接続してもよい。

【0064】

(半導体装置の検査方法について)

図2は、本実施の形態に係る半導体装置の検査方法を説明する図である。上述したように、本実施の形態に係る半導体装置は、基板10における第1の部分14の凸部18、20を利用して位置合わせを行えるようになっている。したがって、図示しないソケットに半導体装置を投げ込むだけで、簡単に半導体装置の電気的特性を検査することができる。

【0065】

例えば、図2に示す例では、図示しないソケットが、ガイド50、52、54を有する。ガイド50、52は凸部18と係合し、ガイド52は凸部20と係合する。ガイド50、52とともに、あるいはこれらの代わりに、ソケットがピン56を有していても良い。ピン56は、凸部20及び2つの凸部18で形成された2つの凹部30（直交方向に延びる辺24、28で形成される）に当接する。

【0066】

このように、凸部18、20の辺22、24、26、28のうち、直交方向に延びるいずれか2つの辺が、ガイド50、52のうちの少なくとも1つ、あるいは一对のピン56と係合することで、半導体装置1の位置決めを簡単に行うことができる。ガイド50、52は、図示される凹型でなくても、少なくとも2辺を固定できる構造であればよく、図示されるように最低2カ所のピン56をガイドとしてもよい。そして、外部端子44等の、半導体装置1の内部との電気的な接続を図る部分と、プローブやソケットの位置とを決めることができるので、後はこれらを当てて、半導体装置1の検査を行うことができる。

【0067】

(半導体装置の実装方法・回路基板について)

図3は、本実施の形態に係る半導体装置が実装された回路基板を示す図である

。図3で、半導体装置1は、回路基板2に実装されている。回路基板2には例えばガラスエポキシ基板等を用いることが一般的である。回路基板2には例えば銅からなる配線パターン3が所望の回路となるように形成されていて、それらの配線パターン3と半導体装置1の外部端子とを接続することでそれらの電氣的導通が図られている。

【0068】

半導体装置1は、上述した半導体装置の検査方法で説明した内容で、簡単に位置合わせを行える。したがって、外部端子44等の、外部との電氣的な接続を図る部分と、回路基板2の配線パターン3とを正確に接合することができ、位置ずれによる不良の発生を低減することができる。すなわち、平面外観の位置（外部端子44の位置を含む）は、上述したような位置決定構造との間で精度よく出ているので、半導体装置の実装機、例えばチップマウンタが位置決定構造を認識することで、外部端子44と配線パターン3との正確な接合を達成できる。

【0069】

本発明は、上記実施の形態に限定されるものではなく、種々の変形が可能である。以下、その他の実施の形態について説明する。

【0070】

（第2の実施の形態）

図4は、本発明を適用した第2の実施の形態に係る半導体装置の製造方法を説明する図であり、図5は、本実施の形態に係る半導体装置及びその検査又は実装方法を説明する図である。

【0071】

本実施の形態では、図4に示す基板60が使用される。基板60には、配線パターン62が形成されている。また、基板60は、第1及び第2の部分64、66を有する。第1及び第2の部分64、66は、切り離されて形成されており、配線パターン62によって両者が接続されている。配線パターン62は、その上にフレキシブルなレジストが塗布されて、絶縁されていることが好ましい。

【0072】

第1の部分64は、矩形をなす本体部分の、1つの辺（仮想上の辺であって実

在しない) から直角方向に、かつ、その辺の長さよりも短い幅 (辺) で延設された凸部 6 8 を有する。凸部 6 8 の先端の辺 7 2 と、本体部分の辺から直角方向に伸びる辺 7 4 と、は直交方向に伸びている。したがって、凸部 6 8 を使用して、詳しくは、凸部 6 8 の直交方向に伸びる辺 7 2、7 4 を使用して、半導体装置の検査時や実装時に、外部端子 8 0 と、検査装置や配線パターン 3 (図 3 参照) などとの位置合わせを簡単に行うことができる。辺 7 2、7 4 を形成する複数の端部は、位置決めの基準となる。

【0 0 7 3】

第 2 の部分 6 6 は、第 1 の部分 6 4 の凸部 6 8 を避ける形状の凹状端部 7 0 を有する。凹状端部 7 0 は、凸部 6 8 に対向して配置されている。すなわち、凹状端部 7 0 の凹部の内側に凸部 6 8 が配置されている。第 2 の部分 6 6 は、このような形状であるため、第 1 の部分 6 4 の、位置決めの基準となる端部 (辺 7 2、7 4 を形成する複数の端部又は凸部 6 8) を避けて、第 1 の部分 6 4 と積み重ねられる形状をなしている。もちろん、第 1 の部分 6 4 だけではなく、第 2 の部分 6 6 も、位置決めの基準として使用してもよい。

【0 0 7 4】

基板 6 0 のその他の構成については、第 1 の実施の形態で基板 1 0 について説明した内容を適用することができる。

【0 0 7 5】

本実施の形態に係る半導体装置の製造方法では、上述した基板 6 0 に少なくとも 1 つ又は複数の半導体チップ 7 6、7 8 を搭載する。例えば、基板 6 0 の第 1 の部分 6 4 に半導体チップ 7 8 を実装し、第 2 の部分 6 6 に半導体チップ 7 6 を実装する。この工程は、基板 6 0 を、平面的状態すなわち屈曲させない状態で行う。

【0 0 7 6】

そして、第 2 の部分 6 6 を、第 1 の部分 6 4 に積み重ねる。本実施の形態では、第 1 及び第 2 の部分 6 4、6 6 は、切り離されているので、配線パターン 6 2 を屈曲させ又は折り曲げて、第 1 の部分 6 4 上に第 2 の部分 6 6 を積み重ねる。

【0 0 7 7】

また、複数の外部端子 80 を設ける工程を含んでもよい。その詳細については、第 1 の実施の形態で説明した外部端子 44 の内容を適用することができる。

【0078】

こうして製造された半導体装置によれば、図 5 に示すように、第 1 の部分 64 に凸部 68 が形成されており、第 2 の部分 66 が、凸部 68 を避けて第 1 の部分 64 に積み重ねられる。したがって、凸部 68 を使用して位置合わせを簡単に行うことができる。例えば、図 5 に示すガイド 82 を凸部 68 に係合させて、半導体装置の位置合わせを行うことができる。その詳細については、第 1 の実施の形態で説明した内容を適用することができる。

【0079】

本実施の形態でも、半導体装置の位置合わせを簡単に行えるので、半導体装置の検査及び実装の工程を正確に行うことができる。詳しくは、第 1 の実施の形態で説明した内容が当てはまる。

【0080】

(第 3 の実施の形態)

図 6 は、本発明を適用した第 3 の実施の形態に係る半導体装置を示す図である。この半導体装置は、第 1 及び第 2 の部分 92、94 を有する基板 90 を含む。第 1 及び第 2 の部分 92、94 は、積み重ねられている。第 1 及び第 2 の部分 92、94 は、連続的かつ一体的に形成されていてもよいし、切り離されていてもよい。これらの詳細は、第 1 及び第 2 の実施の形態で説明した。第 1 及び第 2 の部分 92、94 の間には、少なくとも 1 つ又は複数の図示しない半導体チップが設けられている。第 1 の部分 92 には、図示しない外部端子を設けてもよい。

【0081】

本実施の形態では、第 1 の部分 92 に、複数の穴 96 が形成されている。複数の穴 96 を形成するための複数の端部は、半導体装置の位置決め基準となる。すなわち、穴 96 にピンなどを挿通することで、半導体装置の位置決めを簡単に行うことができる。

【0082】

第 2 の部分 94 は、第 1 の部分 92 の穴 96 (あるいは穴 96 を形成する端部

)を避けて、第1の部分94に積み重ねられるようになっている。図6に示す例では、第1の部分92における穴96が形成される領域に対応して、第2の部分94に、切り欠き98が形成されている。

【0083】

本実施の形態でも、半導体装置が、位置決めの基準となる複数の端部（穴96を形成する端部）を有するので、これを利用して、半導体装置の検査時や実装時に、外部端子（図示せず）と、検査装置や配線パターン3（図3参照）などとの検査又は実装を正確に行うことができる。穴96でなくとも、外観から判別できる部分（基板の角、凸部、凹部等）が、第1の部分92に形成されていれば、これを位置決めの基準として利用することができる。

【0084】

（第4の実施の形態）

図7は、本発明を適用した第4の実施の形態に係る半導体装置を示す図である。この半導体装置は、第1及び第2の部分102、104を有する基板100を含む。第1及び第2の部分102、104は、積み重ねられている。第1及び第2の部分102、104は、連続的かつ一体的に形成されていてもよいが、図7に示す例では、切り離されており、配線パターン106によって両者は接続されている。その詳細は、第1及び第2の実施の形態で説明した。第1及び第2の部分102、104の間には、少なくとも1つ又は複数の図示しない半導体チップが設けられている。第1の部分102には、図示しない外部端子を設けてもよい。

【0085】

本実施の形態では、第1の部分102が、第2の部分104よりも大きい形状をなしている。第1の部分102の外形を形成する辺のうち、2つの辺108、110は直交方向に延びている。直交方向に延びる辺108、110は、第1の部分102の角部を形成してもよい。直交方向に延びる2つの辺108、110を形成する端部は、ソケットなどのガイド112に係合させることで、半導体装置の位置決めの基準となる。

【0086】

第2の部分104は、第1の部分102よりも小さいので、第1の部分102の、位置決め基準となる端部を避けて、第1の部分102に積み重ねられる形状となっている。

【0087】

本実施の形態によれば、第1の部分102の外形形成する辺のうち、直交方向に延びる辺108、110を使用し、あるいはこれらを形成する端部を使用して、半導体装置の検査時や実装時に、外部端子（図示せず）と、検査装置や配線パターン3（図3参照）などとの検査又は実装を正確に行うことができる。

【0088】

さらに、本実施の形態に第2の実施の形態で説明したような、第1の部分形成し、それを位置決め機構として併用してもよい。

【0089】

（第5の実施の形態）

図8は、本発明を適用した第5の実施の形態に係る半導体装置を示す図である。上述した実施の形態では、第1及び第2の部分有する基板について説明したが、基板は、第3又はそれ以上の部分有していても良い。本実施の形態に係る半導体装置で使用する基板120は、第1～第3の部分122、124、126を有する。第1及び第2の部分122、124は、上述した実施の形態で説明した内容が当てはまる。第1及び第2の部分122、124には、半導体チップ130、132が搭載されている。この場合、少なくとも1つの半導体チップ130、132が、第1及び第2の部分122、124の少なくとも一方に搭載されていればよい。

【0090】

基板120の第3の部分126は、図8に示す例では第2の部分124に延設されているが、第1の部分122に延設してもよい。第3の部分126も、第2の部分と同様に、第1の部分122の、位置決め基準となる端部を避けて第1の部分122と積み重ねられる形状をなしている。すなわち、第3の部分126も、第2の部分124と同様の構成である。第1の部分122及び第2の部分124の構成は、上述した実施の形態で説明した内容が当てはまる。また、外部端

子 4 4 等の構成についても、上述した実施の形態で説明した内容を適用することができる。

【 0 0 9 1 】

本実施の形態によれば、上述した実施の形態で説明した効果に加えて、さらに多くの半導体チップを有する半導体装置を構成することができる。

【 0 0 9 2 】

本発明を適用した半導体装置を有する電子機器として、図 9 には、ノート型パーソナルコンピュータ 2 0 0 及び携帯電話 3 0 0 が示されている。

【 0 0 9 3 】

以上述べた実施の形態で、トータルコストが上昇しない範囲内で、基板として、ビルドアップ基板又は多層基板を使用してもよい。

【 0 0 9 4 】

なお、上記本発明の構成要件で「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

【 0 0 9 5 】

さらに、前述した全ての実施の形態は、半導体チップとその他の電子素子とが基板上で混載される半導体装置（実装モジュール）であっても良い。

【 0 0 9 6 】

また、以上述べてきた実施の形態では、基板を折り曲げて積層する例について述べたが、本発明は、これに限ることなく、全ての基板の積層方法に適用することができる。基板を積層した場合の上下の基板の電気的な接続には、バンプを用いたり、コネクタを用いてもよい。その場合、上述した基板の位置決定構造は、外部端子の形成してある基板（下方の基板）に、あるいは、上方に積層されてなる基板に形成してあればよく、折り曲げる以外の全ての構成において、本発明を適用してもよい。

【図面の簡単な説明】

【図 1】

図 1 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2】

図 2 は、本発明を適用した第 1 の実施の形態に係る半導体装置及びその検査又は実装方法を示す図である。

【図 3】

図 3 は、本発明を適用した第 1 の実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図 4】

図 4 は、本発明を適用した第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 5】

図 5 は、本発明を適用した第 2 の実施の形態に係る半導体装置及びその検査又は実装方法を示す図である。

【図 6】

図 6 は、本発明を適用した第 3 の実施の形態に係る半導体装置を示す図である。

【図 7】

図 7 は、本発明を適用した第 4 の実施の形態に係る半導体装置及びその検査又は実装方法を示す図である。

【図 8】

図 8 は、本発明を適用した第 5 の実施の形態に係る半導体装置を示す図である。

【図 9】

図 9 は、本発明に係る方法を適用して製造された半導体装置を備える電子機器を示す図である。

【符号の説明】

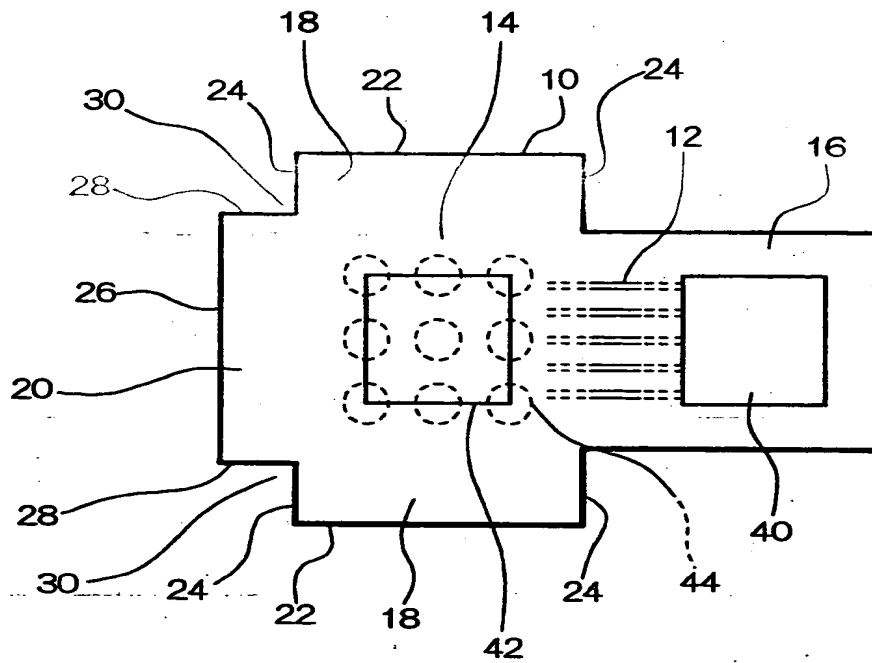
1 0 基板
1 2 配線パターン
1 4 第 1 の部分
1 6 第 2 の部分
1 8 凸部
2 2、2 4、2 6、2 8 辺
3 0 凹部
4 0、4 2 半導体チップ
4 4 外部端子
6 0 基板
6 2 配線パターン
6 4 第 1 の部分
6 6 第 2 の部分
6 8 凸部
7 0 凹状端部
7 2、7 4 辺
7 6、7 8 半導体チップ
8 0 外部端子
9 0 基板
9 2 第 1 の部分
9 4 第 2 の部分
1 0 0 基板
1 0 2 第 1 の部分
1 0 4 第 2 の部分
1 0 6 配線パターン
1 0 8、1 1 0 辺
1 2 0 基板
1 2 2 第 1 の部分
1 2 4 第 2 の部分

130、132 半導体チップ

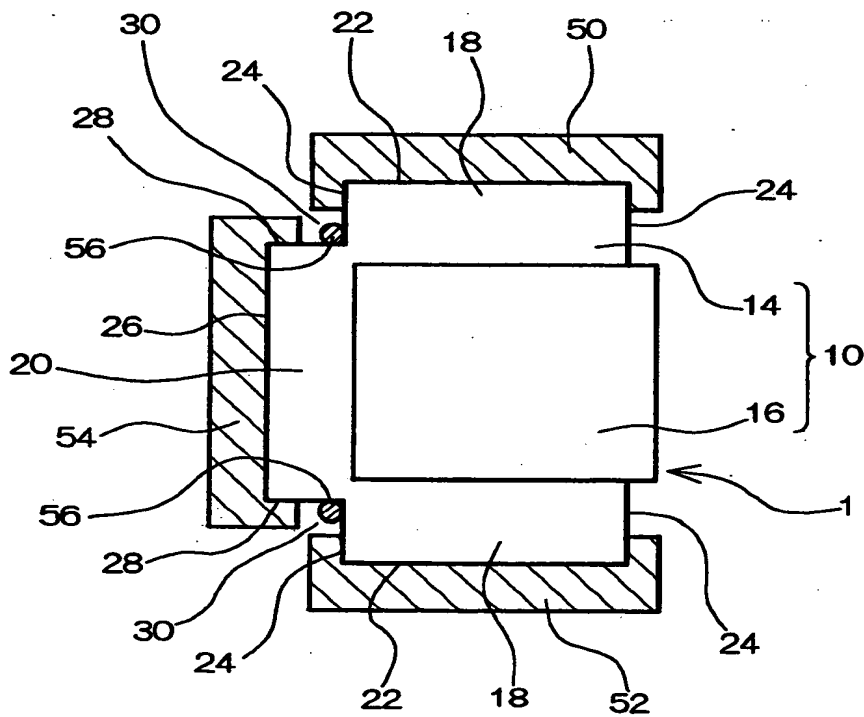


【書類名】 図面

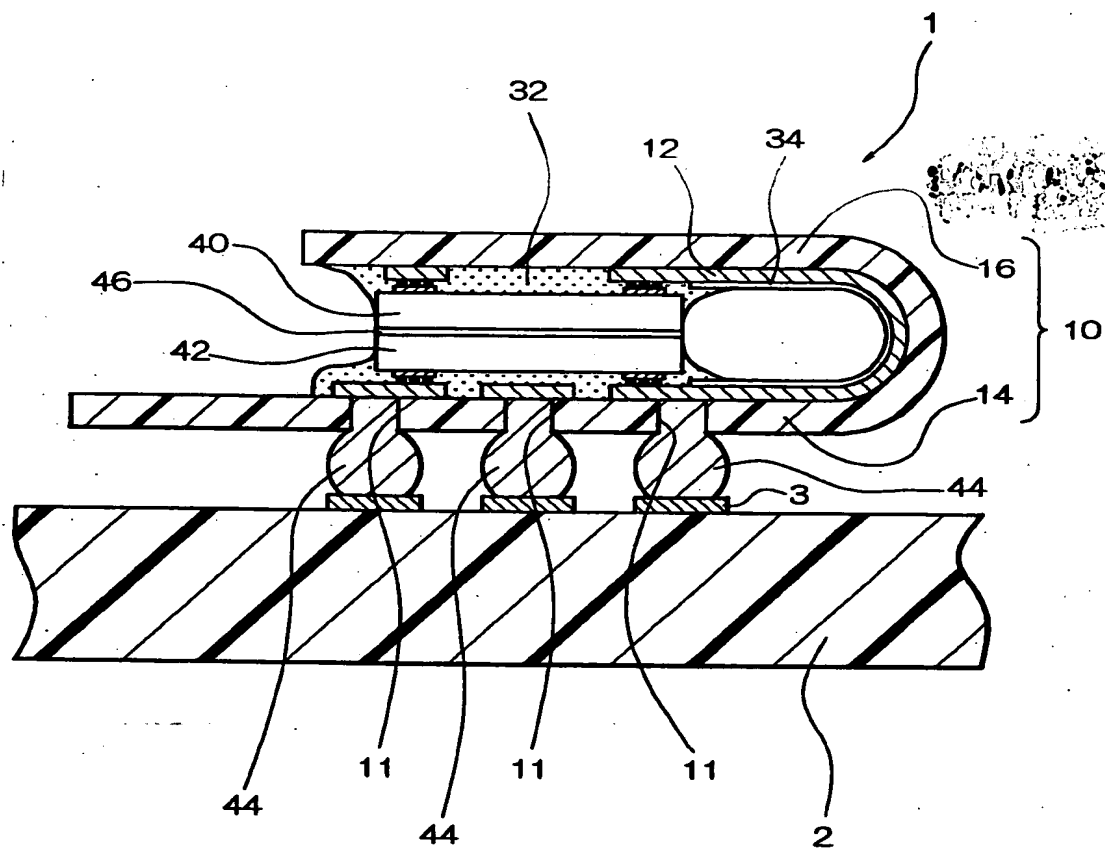
【図 1】



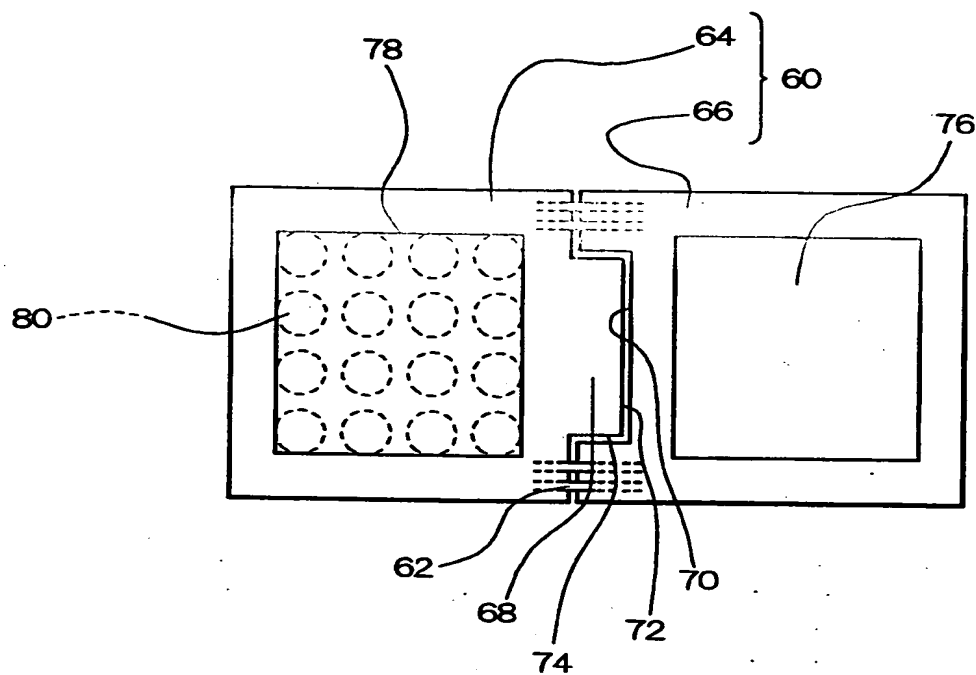
【図 2】



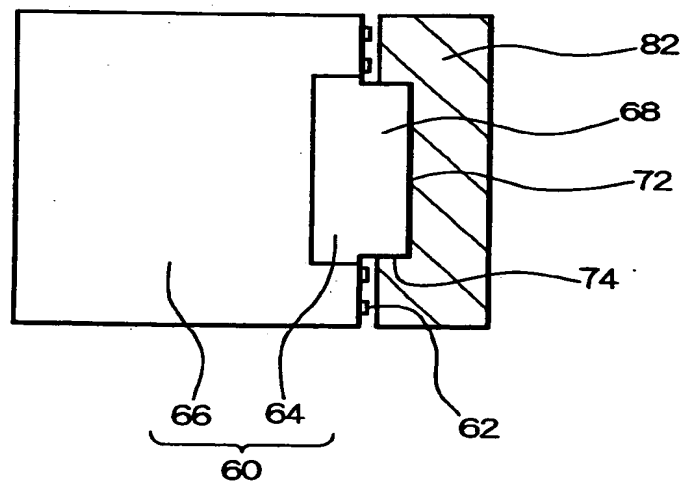
【図3】



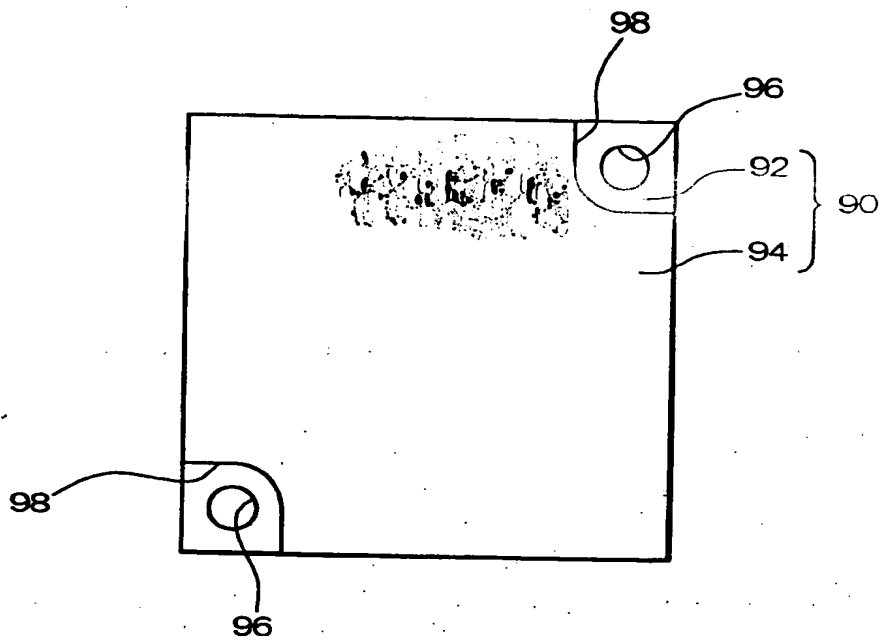
【図 4】



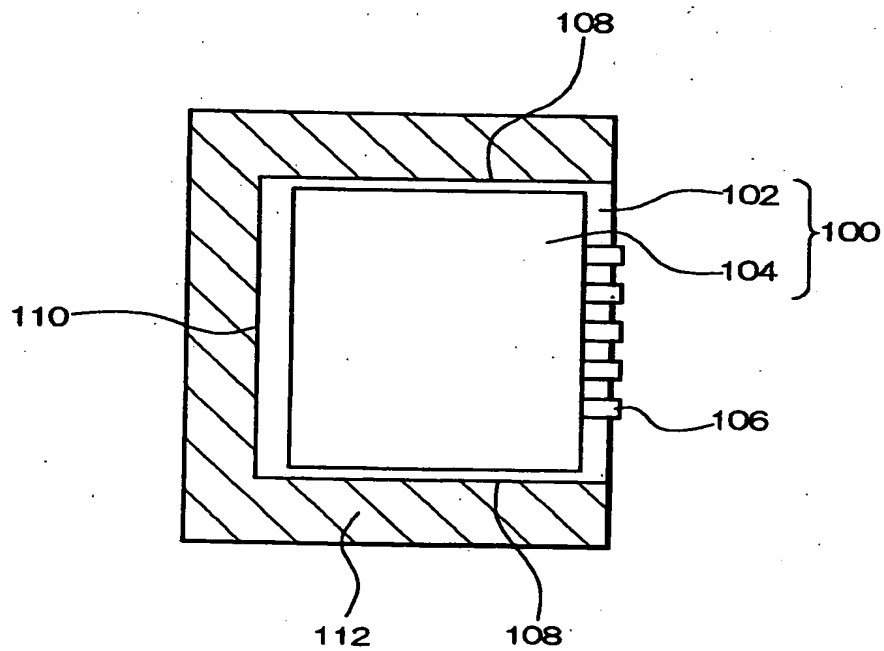
【図 5】



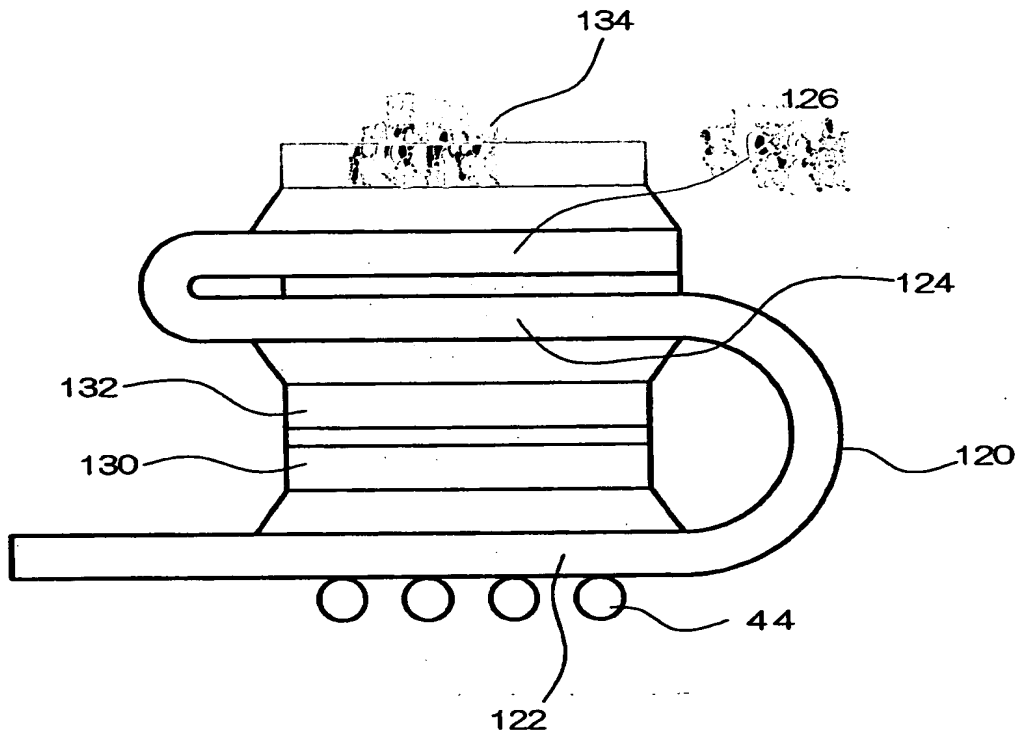
【図 6】



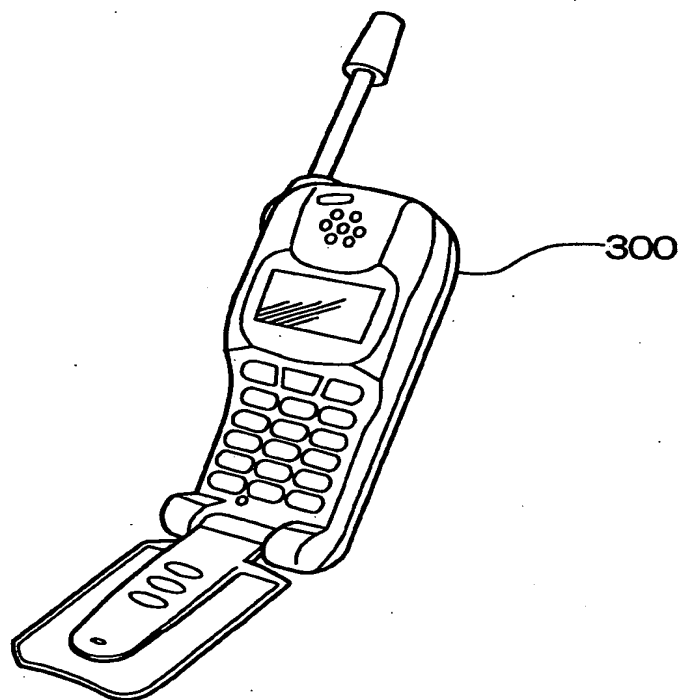
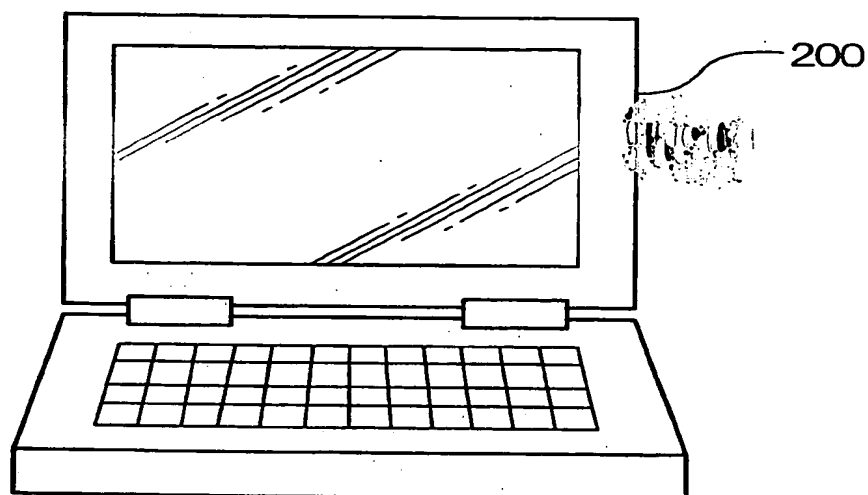
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 位置合わせを簡単に行える配線基板、半導体装置並びにその製造、検査及び実装方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体装置は、基板 1 0 を含む。基板 1 0 は、配線パターン 1 2 が形成されて第 1 の部分 1 4 と第 1 の部分 1 4 に積み重ねられる第 2 の部分 1 6 とを有し、第 1 の部分 1 4 は位置決めの基準となる辺 2 2、2 4、2 6、2 8 を有し、第 2 の部分 1 6 は、第 1 の部分 1 4 の辺 2 2、2 4、2 6、2 8 を避けて、第 1 の部分 1 4 と積み重ねられる形状をなしている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000002369]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社

100-443887-1